


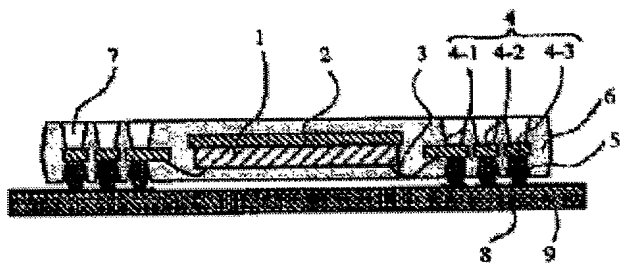
**SEMICONDUCTOR DEVICE AND ITS MANUFACTURE, ELECTRONIC DEVICE,
LEAD FRAME, AND MOUNTING SUBSTRATE****Publication number:** JP6268101**Publication date:** 1994-09-22**Inventor:** KITANO MAKOTO; NISHIMURA ASAO; YAGUCHI
AKIHIRO; YONEDA NAE; KONO RYUJI; TANAKA
TADAYOSHI; KUMAZAWA TETSUO**Applicant:** HITACHI LTD**Classification:**

- international: *H01L21/56; H01L23/12; H01L23/13; H01L23/28;
H01L23/31; H01L23/495; H01L23/50; H01L25/10;
H01L25/11; H01L25/16; H01L25/18; H05K1/18;
H05K3/34; H01L21/02; H01L23/12; H01L23/28;
H01L23/48; H01L25/10; H01L25/16; H01L25/18;
H05K1/18; H05K3/34; (IPC1-7): H01L23/28; H01L21/56;
H01L23/50; H01L25/10; H01L25/11; H01L25/18*

- European: H01L21/56M; H01L23/13; H01L23/31H; H01L23/495A4;
H01L23/495G; H01L25/10J; H01L25/16; H05K1/18B;
H05K3/34C4B

Application number: JP19930056805 19930317**Priority number(s):** JP19930056805 19930317**Also published as:** US 5608265 (A1)**Report a data error here****Abstract of JP6268101**

PURPOSE:To provide a highly reliable structure for multi-pin packages which can be mass-produced at a low cost and its manufacturing method. **CONSTITUTION:**A pair of holes 7 reaching the upper and lower surfaces of a package is formed at prescribed positions of each inner lead 4 by using a metallic mold having projections on the package forming surfaces of its top and bottom molds and sealing the inner leads with a resin 6 while a lead frame is held between the projections. Since the surface of the lead frame is not coated nor contaminated with the resin 6, solder bumps 5 connected to the lead frame can be arranged two-dimensionally on the surface of the package by using ordinary cream solder. Therefore, a multi-pin package which can be excellently mass-produced can be provided and the mounting density of electronic parts can be increased.



Data supplied from the **esp@cenet** database - Worldwide

(19)日本国特許庁（J P）

(12) 公 開 特 許 公 報（A）

(11)特許出願公開番号

特開平6－268101

(43)公開日 平成6年(1994)9月22日

(51)Int.Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 23/28	J	8617－4M		
21/56	T	8617－4M		
23/50	W	9272－4M		
	R	9272－4M		
H 0 1 L 25/ 14 Z				
審査請求 未請求 請求項の数38 O L （全 11 頁） 最終頁に続く				
(21)出願番号	特願平5－56805			
(22)出願日	平成5年(1993)3月17日			
(71)出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地			
(72)発明者	北野 誠 茨城県土浦市神立町502番地 株式会社日立製作所機械研究所内			
(72)発明者	西村 朝雄 茨城県土浦市神立町502番地 株式会社日立製作所機械研究所内			
(72)発明者	矢口 昭弘 茨城県土浦市神立町502番地 株式会社日立製作所機械研究所内			
(74)代理人	弁理士 小川 勝男			
				最終頁に続く

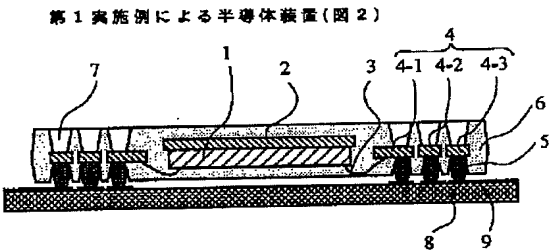
(54)【発明の名称】 半導体装置及びその製造方法、電子装置、リードフレーム並びに実装基板

(57)【要約】

【目的】本発明は、大量生産が可能で、製造コストが低く、信頼性に優れた多ピンパッケージの構造と製造方法を提供することを目的とする。

【構成】本発明による半導体装置は、製造工程において、上型、下型両方のパッケージ形成表面に突起を設けた金型を用い、これらの突起でリードフレームをはさみ込み、樹脂封止することにより、各内部リード4の所定の位置において、パッケージの上面と下面に達する1対の穴7を設けている。リードフレーム表面が樹脂6で覆われたり、汚染されることないので、一般のクリーム半田を用いることにより、リードフレームに接合した半田バンプ5をパッケージ表面に2次元配列することができる。

【効果】本発明により、量産性に優れた多ピンパッケージを提供することができるので、電子部品の高密度化を達成する効果を奏する。



(2)

特開平6-268101

1

【特許請求の範囲】

【請求項1】半導体チップと、リードフレームと、両者を電氣的に接続する手段とを有し、これらを樹脂で封止することによりパッケージを構成した半導体装置において、前記パッケージの片方の面から該パッケージ内部の前記リードフレームの表面に至る穴を設け、更に該パッケージの反対面から前記穴に対応する位置にも、該パッケージの反対面から前記リードフレームの前記表面に対する裏面に至る穴を設け、これら対となる2つの穴を複数組設けることを特徴とする半導体装置。

【請求項2】半導体チップと、リードフレームと、両者を電氣的に接続する手段とを有し、これらを樹脂で封止することによりパッケージを構成した半導体装置において、前記パッケージの少なくとも片方の面に、該パッケージ内部の前記リードフレームの表面に至る穴を該パッケージ内部に向かって狭くなるようなテーパ状に設けることを特徴とする半導体装置。

【請求項3】半導体チップと、リードフレームと、両者を電氣的に接続する手段とを有し、これらを樹脂で封止することによりパッケージを構成した半導体装置において、前記リードフレームが前記パッケージ外に突出しておらず、導電性部材の一端がインナーリードの複数箇所

に接合され、かつ各該導電性部材の他端は封止樹脂部を突き抜けて前記パッケージ表面に突出し、該各導電性部材の周囲は前記樹脂部との間に間隙が形成されていることを特徴とする半導体装置。

【請求項4】半導体チップと、リードフレームと、両者を電氣的に接続する手段とを有し、これらを樹脂で封止することによりパッケージを構成した半導体装置において、前記パッケージの片方の面から反対面に複数の貫通穴が有り、この貫通穴が該パッケージ内部において前記

リードフレームにより遮断されていることを特徴とする半導体装置。

【請求項5】請求項1または2において、一部或いは全部の前記穴の内部に、前記リードフレームに接合した導電性材料のバンパを設けることを特徴とする半導体装置。

【請求項6】請求項5において、前記導電性材料のバンパが前記パッケージ表面より突出していることを特徴とする半導体装置。

【請求項7】請求項1において、前記パッケージ表面における前記穴の面積がリード表面における前記穴の面積よりも大きいことを特徴とする半導体装置。

【請求項8】請求項1において、前記穴が前記パッケージ内部に向かって狭くなるようなテーパ状であることを特徴とする半導体装置。

【請求項9】請求項1において、前記リードフレーム表面における前記穴の内周が前記リードフレームの表面の範囲以内にあることを特徴とする半導体装置。

【請求項10】請求項9において、前記穴の位置にお

2

る前記リードフレームの幅が他の部分の前記リードフレームの幅よりも広いことを特徴とする半導体装置。

【請求項11】請求項1において、前記パッケージ表面から前記リードフレーム表面に至る穴の深さ寸法が該パッケージ表面における前記穴の開口寸法より小さいことを特徴とする半導体装置。

【請求項12】請求項1、2、3または4において、前記半導体チップと前記リードフレームとを電氣的に接続する手段として、金属ワイヤを用いることを特徴とする半導体装置。

【請求項13】請求項1、2、3または4において、前記半導体チップと前記リードフレームとを電氣的に接続する手段として、前記導電性材料のバンパを用いることを特徴とする半導体装置。

【請求項14】請求項1、2、3または4において、前記リードフレームとして樹脂フィルムに金属箔を接合したテープを用い、前記半導体チップと前記リードフレームとを電氣的に接続する手段として、テープオートメテッドボンディングを用いることを特徴とする半導体装置。

【請求項15】請求項1乃至14のいずれかにおいて、前記半導体チップをタブに搭載することを特徴とする半導体装置。

【請求項16】請求項1乃至14のいずれかにおいて、前記半導体チップの回路形成面を絶縁フィルムを介して前記リードフレームに接着することを特徴とする半導体装置。

【請求項17】請求項1乃至14のいずれかにおいて、前記半導体チップの回路形成面の反対面を絶縁フィルムを介して前記リードフレームに接着することを特徴とする半導体装置。

【請求項18】請求項15において、前記パッケージの表面からタブに至る穴を設けることを特徴とする半導体装置。

【請求項19】請求項18において、前記パッケージの表面からタブに至る穴の内部に、該タブに接続する導電性材料のバンパを設けることを特徴とする半導体装置。

【請求項20】請求項1乃至19のいずれかにおいて、前記パッケージの表面に封止樹脂製の突起を設けることを特徴とする半導体装置。

【請求項21】請求項1乃至20のいずれかにおいて、前記リードフレームには、そのパッケージに設けられた穴により露出している部分に貫通穴を設けることを特徴とする半導体装置。

【請求項22】請求項21において、一部或いは全部の前記穴の内部に、前記リードフレームに接合した導電性材料のバンパを設け、この導電性材料が前記貫通穴の内部に充填されていることを特徴とする半導体装置。

【請求項23】請求項3における前記導電性部材、または請求項4、5、12、18または22における前記導

(3)

特開平6-268101

3

電性材料が半田であることを特徴とする半導体装置。

【請求項24】請求項1乃至23のいずれかに記載の半導体装置を複数個積み重ね、夫々の半導体装置に設けた穴の内部に設けた前記導電性材料により、夫々の半導体装置のリードフレーム同士を電気的に接続することを特徴とする電子装置。

【請求項25】請求項1乃至23のいずれかに記載の半導体装置の片面に電子部品を設け、この電子部品の外部端子と前記半導体装置の前記リードフレームとを導電性材料にて電気的に接続することを特徴とする電子装置。

【請求項26】請求項24において、積み重ねた半導体装置の少なくとも一つは演算処理機能を有する半導体チップを搭載するものであり、かつ積み重ねた半導体装置の他の一つはメモリチップを搭載するものであることを特徴とする電子装置。

【請求項27】請求項25において、前記半導体装置は演算処理機能を有する半導体チップを搭載するものであり、かつ前記電子部品はメモリチップを搭載する半導体装置であることを特徴とする電子装置。

【請求項28】樹脂を封止する金型の上型、下型両方のキャビティー内に半導体チップを避けるようにして夫々複数の突起を上下対応するように形成し、これらの突起でリードフレームをはさみ込み、封止樹脂を金型内に流し込むことを特徴とする半導体装置の製造方法。

【請求項29】請求項23の半導体装置におけるパッケージ表面に設けられた穴にクリーム半田を充填し、次いで加熱することにより半田パンクを形成することを特徴とする半導体装置の製造方法。

【請求項30】複数のリードと、これらのリードを支持するための外枠からなるリードフレームにおいて、一部または全てのリードに、他の部分より幅が広い部分を、1本のリードにつき1ヵ所づつ設けることを特徴とするリードフレーム。

【請求項31】複数のリードと、半導体チップを搭載するためのタブ及びタブを支持するタブ吊りリードと、これらを支持するための外枠からなるリードフレームにおいて、一部または全てのリードに、他の部分より幅が広い部分を、1本のリードにつき1ヵ所づつ設けることを特徴とするリードフレーム。

【請求項32】請求項30または31において、リードの他の部分より幅の広い部分に貫通穴を設けることを特徴とするリードフレーム。

【請求項33】請求項30または31において、リードの他の部分より幅が広い部分に、半田のぬれを促進する表面処理を施すことを特徴とするリードフレーム。

【請求項34】請求項31において、タブに対向する側の各リード端部の間隔が周期性を有することを特徴とするリードフレーム。

【請求項35】半導体装置の樹脂中にあるリードフレームと基板とを直接導電性部材で接続し、該各接続部は側

4

面が樹脂で覆われ、前記半導体装置の反基板側には前記導電性部材に対応する位置に前記リードフレームに至る穴が設けられていることを特徴とする実装基板。

【請求項36】請求項1乃至23のいずれかに記載の半導体装置を基板に実装することを特徴とする実装基板。

【請求項37】請求項19の半導体装置をプリント基板に実装した実装基板において、タブに接合した導電性材料を半田とし、プリント基板に設けたパターンに前記半導体装置を半田接合することを特徴とする実装基板。

【請求項38】請求項20の半導体装置をプリント基板に実装した実装基板において、前記突起とプリント基板が接触するように実装することを特徴とする実装基板。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体装置とその製造方法、電子装置、リードフレーム並びに実装基板に係り、特に高密度実装に好適な樹脂封止型半導体装置とその製造方法、これを実装したプリント基板である実装基板、半導体装置を組み合わせた電子装置並びに半導体装置に用いるリードフレームに関する。

【0002】

【従来の技術】従来の半導体装置のパッケージではパッケージの側面にリードを配置したパッケージが主流である。このパッケージは製造コストが低いという利点がある反面、リードが1次元配列であるため、リード本数とパッケージ寸法が比例し、リード本数の増大と共にパッケージが大型化するという欠点があり、多ピン化による高密度実装には限界があった。

【0003】この欠点を克服した多ピン化に適するパッケージとして、ピングリッドアレイ型半導体装置が実用化されている。このパッケージは、パッケージの裏面に格子状の2次元配列のピンを設け、多ピン化を達成したものである。

【0004】しかしこのパッケージは、製造コストがかかる、実装するプリント基板に穴あけ加工（スルーホール）を必要とする、ピンピッチを細かくできない、等の欠点があった。

【0005】そこで更に進んで、パッケージ表面に直接半田付けが可能な電極を2次元に配列する構造が提案されており、例えば、特開昭62-147751号公報、特開平1-105566号公報、特開平1-244655号公報、特開平3-94459号公報等に開示されている。

【0006】また上記の先行技術のうち、特開昭62-147751号公報記載のパッケージでは、樹脂封止パッケージの下面からリード下面に達する小孔が設けられ、この小孔に半田を充填することにより外部導電接続をとる構造となっており、最も具体性がある。

【0007】

【発明が解決しようとする課題】前記先行技術は、半導

(4)

特開平6-268101

5

体チップとパッケージ表面の電極との接続方法等、具体的構造の検討がなされておらず、いずれも実用化には至っていない。◆また特開昭62-147751号公報記載の例でも、小孔を形成する方法、特に大量生産に適した方法の検討がなく、更にリードと半田の接続技術に対する検討がなされていない。

【0008】本発明は、これら従来技術の欠点の克服し、大量生産が可能で、製造コストが低く、信頼性に優れた多ピンパッケージの構造と製造方法を提供することを目的とする。

【0009】

【課題を解決するための手段】上記目的は、樹脂封止型半導体パッケージの各内部リードの所定の位置において、パッケージの上面と下面に達する1対の穴を設けることにより達成される。

(半導体装置)本発明の半導体装置は、半導体チップと、リードフレームと、両者を電気的に接続する手段とを有し、これらを樹脂で封止することによりパッケージを構成したタイプであって次のいずれかの構成を特徴とする。

【0010】(1)：パッケージの片方の面からパッケージ内部のリードフレームの表面に至る穴を設け、更にパッケージの反対面の穴に対応する位置にも、パッケージの反対面からリードフレームの表面に対する裏面に至る穴を設け、これら対となる2つの穴を複数組設ける。

【0011】(2)：パッケージの少なくとも片方の面に、パッケージ内部のリードフレームの表面に至る穴をパッケージ内部に向かって狭くなるようなテーパ状に設ける。

【0012】(3)：リードフレームがパッケージ外に突出しておらず、導電性部材の一端がインナーリードの複数箇所へ接合され、かつ各導電性部材の他端は封止樹脂部を突き抜けてパッケージ表面に突出し、各導電性部材の周囲は樹脂部との間に間隙が形成されている。

【0013】(4)：パッケージの片方の面から反対面に複数の貫通穴があり、この貫通穴がパッケージ内部においてリードフレームにより遮断されている。◆

(5)：(1)または(2)において、一部或いは全部の穴の内部に、リードフレームに接合した導電性材料のバンブを設ける。◆

(6)：(5)において、導電性材料のバンブがパッケージ表面より突出する。

(7)：(1)において、パッケージ表面における穴の面積がリード表面における穴の面積よりも大きい。

【0014】(8)：(1)において、穴がパッケージ内部に向かって狭くなるようなテーパ状である。◆

(9)：(1)において、リードフレーム表面における穴の内周がリードフレームの表面の範囲以内にある。◆

(10)：(9)において、穴の位置におけるリードフレームの幅が他の部分のリードフレームの幅よりも広

6

い。◆

(11)：(1)において、パッケージ表面からリードフレーム表面に至る穴の深さ寸法がパッケージ表面における穴の開口寸法より小さいことを特徴とする半導体装置。

【0015】(12)：(1)、(2)、(3)または(4)において、半導体チップとリードフレームとを電気的に接続する手段として、金属ワイヤを用いる。◆

10 (13)：(1)、(2)、(3)または(4)において、半導体チップとリードフレームとを電気的に接続する手段として、導電性材料のバンブを用いる。◆

(14)：(1)、(2)、(3)または(4)において、リードフレームとして樹脂フィルムに金属箔を接合したテープを用い、半導体チップとリードフレームとを電気的に接続する手段として、テープオートメテッドボンディングを用いる。

【0016】(15)：(1)乃至(14)のいずれかにおいて、半導体チップをタブに搭載する。◆

20 (16)：(1)乃至(14)のいずれかにおいて、半導体チップの回路形成面を絶縁フィルムを介してリードフレームに接着する。◆

(17)：(1)乃至(14)のいずれかにおいて、半導体チップの回路形成面の反対面を絶縁フィルムを介してリードフレームに接着する。

【0017】(18)：(15)において、パッケージの表面からタブに至る穴を設ける。◆

(19)：(18)において、パッケージの表面からタブに至る穴の内部に、タブに接続する導電性材料のバンブを設ける。◆

30 (20)：(1)乃至(19)のいずれかにおいて、パッケージの表面に封止樹脂製の突起を設ける。

【0018】(21)：(1)乃至(20)のいずれかにおいて、リードフレームには、そのパッケージに設けられた穴により露出している部分に貫通穴を設ける。◆

(22)：(21)において、一部或いは全部の穴の内部に、リードフレームに接合した導電性材料のバンブを設け、この導電性材料が貫通穴の内部に充填されている。◆

40 (23)：(3)における導電性部材、または(4)、(5)、(12)、(18)または(22)における前記導電性材料が半田である。

【0019】(電子装置)本発明の電子装置は半導体装置(パッケージ)を複数積み重ねたものであって、次のいずれかの構成を特徴とする。

【0020】(24)：(1)乃至(23)のいずれかに記載の半導体装置を複数個積み重ね、夫々の半導体装置に設けた穴の内部に設けた導電性材料により、夫々の半導体装置のリードフレーム同士を電気的に接続する。◆

50 (25)：(1)乃至(23)のいずれかに記載の半導

(5)

特開平6-268101

7

体装置の片面に電子部品を設け、この電子部品の外部端子と半導体装置のリードフレームとを導電性材料にて電気的に接続する。

【0021】(26)：(24)において、積み重ねた半導体装置の少なくとも一つは演算処理機能を有する半導体チップを搭載するものであり、かつ積み重ねた半導体装置の他の一つはメモリチップを搭載するものである。◆

(27)：(25)において、半導体装置は演算処理機能を有する半導体チップを搭載するものであり、かつ電子部品はメモリチップを搭載する半導体装置である。

【0022】(半導体装置の製造方法)本発明の半導体装置の製造方法は樹脂封止型であるので金型成型することになるが、以下のいずれかのプロセスを特徴とする。

【0023】(28)：樹脂を封止する金型の上型、下型両方のキャビティ内に半導体チップを避けるようにして夫々複数の突起を上下対応するように形成し、これらの突起でリードフレームをはさみ込み、封止樹脂を金型内に流し込む。◆

(29)：(23)の半導体装置におけるパッケージ表面に設けられた穴にクリーム半田を充填し、次いで加熱することにより半田バンプを形成する。

【0024】(リードフレーム)本発明のリードフレームは半導体装置の封止樹脂にてコーティングされ、その端部は半導体装置の外部には突出しておらず、以下のいずれかの構成を特徴とする。

【0025】(30)：複数のリードと、これらのリードを支持するための外枠からなるリードフレームにおいて、一部または全てのリードに、他の部分より幅が広い部分を、1本のリードにつき1ヶ所づつ設ける。◆

(31)：複数のリードと、半導体チップを搭載するためのタブ及びタブを支持するタブ吊りリードと、これらを支持するための外枠からなるリードフレームにおいて、一部または全てのリードに、他の部分より幅が広い部分を、1本のリードにつき1ヶ所づつ設ける。

【0026】(32)：(30)または(31)において、リードの他の部分より幅の広い部分に貫通穴を設ける。◆

(33)：(30)または(31)において、リードの他の部分より幅が広い部分に、半田のぬれを促進する表面処理を施す。◆

(34)：(31)において、タブに対向する側の各リード端部の間隔が周期性を有する。

【0027】(実装基板)本発明の実装基板とは半導体装置を基板に搭載した全体の構造であり、以下のいずれかの構成を特徴とする。

【0028】(35)：半導体装置の樹脂中にあるリードフレームと基板とを直接導電性部材で接続し、各接続部は側面が樹脂で覆われ、半導体装置の反基板側(基板側とは反対面になる側)には導電性部材に対応する位置

8

にリードフレームに至る穴が設けられている。◆

(36)：(1)乃至(23)のいずれかの半導体装置を基板に実装する。

【0029】(37)：(19)の半導体装置をプリント基板に実装した実装基板において、タブに接合した導電性材料を半田とし、プリント基板に設けたパターンに半導体装置を半田接合する。◆

(38)：(20)の半導体装置をプリント基板に実装した実装基板において、突起とプリント基板が接触するように実装する。

【0030】

【作用】本発明による半導体装置は、製造工程において、上型、下型両方のパッケージ形成表面に突起を設けた金型を用い、これらの突起でリードフレームをはさみ込み、樹脂封止されるので、上記の半田バンプを設ける穴を容易に形成することができる。また、リードフレーム表面が樹脂で覆われたり、汚染されることないので、一般のクリーム半田を用いることにより、リードフレームに接合した半田バンプを容易に形成することができる。

【0031】

【実施例】以下、本発明の実施例を図を用いて説明する。◆本発明の第1実施例による半導体装置の斜視図を図1に示す。本図では構造の理解を助けるため、パッケージの封止樹脂の一部を取り去って示した。

【0032】リード4と同一の材料で作られたタブ2の上に半導体チップ1が搭載され、チップ1の電極とリード4が金属ワイヤ3により電気的に接続されている。リード4には、幅が他の部分より広い部分4-1、4-2、4-3等がリード1本につき1ヶ所づつ設けられている。以下この部分を半田パッドと呼ぶ。

【0033】図では隠れて見えないが、封止樹脂6には、半田パッドから両方のパッケージ表面に至る穴が設けられており、更に穴の内部には、半田パッドに接合した半田バンプ5が設けられている。半田バンプの先端5-aは、パッケージ表面から突出している。

【0034】第1実施例による半導体装置を基板に実装した場合の断面図を図2に示す。穴7の内部に設けられた、半田パッド4-1、4-2、4-3に接合する半田バンプ5は、プリント基板9に設けられた配線パターン8に接合されている。

【0035】このように、本実施例の半導体装置は、チップ1がワイヤ3、リード4、半田バンプ5を経てプリント基板8の配線パターン9に電気的に接続されている。これらの接合法は、いずれも現在確立された技術であるので、本実施例の半導体装置の信頼性は高い。

【0036】更に、図1に示すように、半導体装置の外部電極となる半田バンプ5はパッケージ表面に2次元配列されているので、多ピン化に適したパッケージとなっている。◆図1、図2に示した実施例では、チップ1は

9
半田バンプ5と同じ向きに設けられているが、図3に示すように反対向きに設けても良い。

【0037】図2に示した実施例では、穴7がテーパ状になっているが、穴の形状は図4に示すように半球状でも良い。穴の開口寸法Dと深さHの関係は、図5に示すように、開口寸法Dが深さHより大きいことが望ましい。半田バンプを設けるには、半田を一旦融解し、半田バンプ4-1に接合しなければならないが、このとき半田は表面張力により球形になる。この為、図6に示すように開口寸法Dが深さHより小さいと、半田バンプが穴7の内部に埋没する恐れがある。

【0038】本発明の第2実施例によるリードフレームを図7に示す。リードフレームの外枠19にすべてのリード4、タブ吊りリード20が接続されている。タブ2はタブ吊りリード19を介して外枠2に接続されている。夫々のリード4には、1ヵ所づつ他の部分より幅の広い部分4-1などが設けられており、この部分は外枠19の外形線から見て3段になるように配置されている。

【0039】このように第2実施例によるリードフレームは、幅の広い部分4-1が設けられているので、この部分を半田バンプを接合する半田パッドとして用いることができ、第1実施例の半導体装置に用いるのに好適なリードフレームとなる。◆また本実施例によるリードフレームは、幅の広い部分4-1を設けたことを除いて従来のリードフレームと同じ構造であり、このリードフレーム自体の製造、このリードフレームを用いた半導体装置の製造において、従来技術をそのまま用いることができるので、製造コストの増大、信頼性の低下を招くことが無い。

【0040】本実施例の幅の広い部分4-1などは、半田パッドとして用いるので、半田接合を行う面に半田の濡れを向上させる表面処理を施しておくことが望ましい。このような表面処理としては、半田メッキ、錫メッキ、金などの貴金属メッキ、パラジウムメッキ等が挙げられる。

【0041】尚、外枠19はパッケージ形成後には除去される部分である。また図示の通りタブに対向する側の各リード端部の配列は、各タブの辺ごとに周期性を持っている（規則的に配置されている）ことが好ましい。

【0042】本発明の第3実施例によるリードフレームを図8に示す。本実施例では、幅の広い部分4-1、4-2、4-3が第2実施例のように矩形ではなく、リード間の隙間を最小にするように設けられている。このように幅の広い部分を設けることにより、リード1本1本の断面積が大きくなるので、リードの平坦度が保持されやすいという利点がある。

【0043】本発明の第4実施例では半導体装置の製造方法を図9に示す。本実施例では、先ず第2実施例のリードフレームのタブ2に半導体チップ1を搭載し、チップ

10
1とリード4を金属ワイヤ3により電氣的に接続する。これを封止金型の上型10-aと下型10-bでクランプしたのが図9（a）である。◆上型10-aと下型10-bのパッケージ形成表面には、リードの幅の広い部分4-1、4-2、4-3に対応した部分に突起11-1、11-2、11-3が設けられており、上型と下型の突起はリードの幅の広い部分をはさみ込んでい

【0044】この状態で樹脂をモールドし、リードフレームの外枠など不要部分を切り取ると、図9（b）に示す半導体装置ができる。金型の突起の部分は樹脂が入り込まないので、封止樹脂6には穴7-1、7-2、7-3などが形成される。しかも、モールド時には、リードの幅の広い部分は突起11-1などの先端に密着していたので、樹脂6で覆われたり、汚染されたりすることが無い。

【0045】若し、突起が金型の片方だけに設けられ、穴がパッケージの片面のみに形成される構造であれば、突起の先端をリードに強く密着することができないのでリードの幅の広い部分は薄い樹脂の層で覆われてしまい、半田接合ができなくなる。

【0046】この後、図9（c）に示すように、クリアム半田12-1、12-2、12-3等を穴7-1などに充填し、加熱すると、リードの幅の広い部分は樹脂で汚染されていないので、容易に半田接合が行われ、図9（d）に示すような半田バンプ5-1、5-2、5-3等が形成された半導体装置を得ることができる。

【0047】本発明の第5実施例による半導体装置をプリント基板に実装した断面図を図10に示す。本実施例では、パッケージの下面に樹脂製の突起13を設けた。この突起によりパッケージと基板の間隔を制御することができるので、半田接合部の信頼性を向上させることができる。更にこの突起をパッケージのプリントに対する位置決めにも用いることもできる。尚、この突起は封止金型に凹部を設けておくことにより、容易に形成することができる。

【0048】本発明の第6実施例による電子装置の断面図を図11に示す。本実施例では、第1実施例で示した半導体装置を4個積み重ね、夫々のリード4を半田バンプ5により接続した。このようにパッケージを構成し、1番下のパッケージ14-dをプリント基板に実装することにより、実装密度を4倍にすることができる。

【0049】本発明の第7実施例による半導体装置の断面図を図12に示す。本実施例では、タブ2の裏側の樹脂にも穴を設け、タブ2とプリント基板8を半田15で接続した。このように構成することにより、チップ1で発生した熱を熱伝導率の高い半田15でプリント基板8に逃がすことができるので、パッケージの低熱抵抗化を達成することができる。

【0050】本発明の第8実施例による半導体装置の断

(7)

特開平6-268101

11

面図を図13に示す。本実施例は、チップ1の回路形成面の反対面に絶縁物（図では省略）を介してリード4を接着したチップオンリード構造パッケージに本発明を適用した例を示す。◆本発明の第9実施例による半導体装置の断面図を図14に示す。本実施例は、チップ1の回路形成面に絶縁物（図では省略）を介してリード4を接着したリードオンチップ構造パッケージに本発明を適用した例を示す。

【0051】本発明の第10実施例による半導体装置の断面図を図15に示す。本実施例では、チップ1の電極とリード4の接続に半田バンプ16を用いている。◆本発明の第11実施例による半導体装置の断面図を図16に示す。本実施例では、リードフレームとして樹脂フィルム17に金属箔4を接合したテープを用い、半導体チップ1とリードフレームを電気的に接続する手段として、テープオートメイトッドボンディング18を用いた。このように構成することで、パッケージを薄くすることができる。

【0052】本発明の第12実施例による半導体装置の断面図を図17に示す。本実施例では、半田バンプ5を接合した半田パッド4に貫通穴21を設けた。◆若し半田バンプ5と半田パンプ4の接合が良好であれば、半田は貫通穴21を吸い上がり、図17に示したように反対側の穴7の方向から半田が見えるようになる。

【0053】このようにリードフレームを構成することにより、半田バンプ5が良好に形成されたかどうかを、パッケージ上面からの目視検査により調べることができる。勿論この検査は、画像処理技術により自動化することも可能である。更に、半田バンプ5が半田パッド4に機械的に食い付くので、接合が更に強固になるというメリットがある。

【0054】本発明の第13実施例によるリードフレームの平面図を図18に示す。このリードフレームは、第12実施例の半導体装置に用いるもので、半田パッド4に貫通穴21が設けられている。

【0055】本発明の第14実施例による電子装置の断面図を図19に示す。本実施例では第1実施例による半導体装置を3個用い、半導体装置22は演算処理機能を有する半導体チップを搭載した半導体装置であり、この上に設けられた半導体装置23-1と23-2はメモリチップを搭載した半導体装置である。

【0056】これらの半導体装置は、半田バンプ5-1により互いに電気的に接合されており、更に半導体装置22は、半田バンプ5-2により、基板8に実装されている。このように構成することにより、非常に高集積化したコンピュータを構成することが可能となる。

【0057】本発明の第15実施例による電子装置の断面図を図20に示す。本実施例では、第1実施例による半導体装置22の上面に、従来構造の半導体装置24、チップ25、チップコンデンサ26、トランス27等の

12

従来の電子部品を搭載し、半田バンプ5-1により電気的に接続している。このように構成することで、電子装置を大幅に小型化することが可能となる。

【0058】以上の実施例では、いずれも半田バンプ5を用いているが、この材質は半田に限らず、例えば銀ペーストや異方性導電ペースト等の導電性材料を用いることも有効である。

【0059】

【発明の効果】以上説明したように、本発明により大量生産および多ピン化に適し、信頼性に優れたパッケージを提供することができるので、電子装置の高密度化を達成する効果を奏する。

【図面の簡単な説明】

【図1】本発明の第1実施例による半導体装置の斜視図である。

【図2】本発明の第1実施例による半導体装置の断面図である。

【図3】本発明の第1実施例による半導体装置の変形例の断面図である。

【図4】本発明の第1実施例による半導体装置の穴の変形例の断面図である。

【図5】本発明の第1実施例による半導体装置の穴の好ましい形状を表わす断面図である。

【図6】本発明の第1実施例による半導体装置の穴の好ましくない形状を表わす断面図である。

【図7】本発明の第2実施例によるリードフレームの平面図である。

【図8】本発明の第3実施例によるリードフレームの平面図である。

【図9】本発明の第4実施例による半導体装置の製造方法を示す断面図である。

【図10】本発明の第5実施例による半導体装置を示す断面図である。

【図11】本発明の第6実施例による電子装置を示す断面図である。

【図12】本発明の第7実施例による半導体装置を示す断面図である。

【図13】本発明の第8実施例による半導体装置を示す断面図である。

【図14】本発明の第9実施例による半導体装置を示す断面図である。

【図15】本発明の第10実施例による半導体装置を示す断面図である。

【図16】本発明の第11実施例による半導体装置を示す断面図である。

【図17】本発明の第12実施例による半導体装置を示す断面図である。

【図18】本発明の第13実施例によるリードフレームを示す平面図である。

【図19】本発明の第14実施例による電子装置を示す

(8)

特開平6-268101

13

14

断面図である。

【図20】本発明の第15実施例による電子装置を示す断面図である。

【符号の説明】

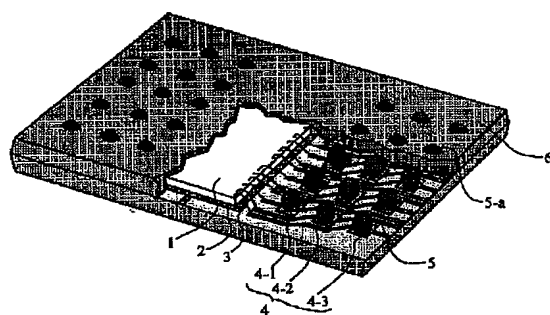
1…半導体チップ、2…タブ、3…金属ワイヤ、4…リード、4-1、4-2、4-3…リードの幅が広い部分（半田パッド）、5、5-1、5-2、5-3…半田パンプ、5-a…半田パンプのパッケージ外部突出部分、6…封止樹脂、7…穴、8…プリント基板、9…プリント基板の配線パターン、10-a…封止金型の上型、10-b…封止金型の下型、11-1、11-2、11-3…金型の突起、12-1、12-2、12-3…クリ

ーム半田、13…パッケージの突起、14-a、14-b、14-c、14-d…第1実施例の半導体装置、15…タブ下面に設けた半田パンプ、16…半導体チップの電極とリードを接続する半田パンプ、17…樹脂フィルム、18…テープオートメテッドボンディング、19…リードフレームの外枠、20…タブ吊りリード、21…半田パッドの貫通穴、22…演算処理機能を有するチップを搭載した半導体装置、23…メモリチップを搭載した半導体装置、24…従来構造の半導体装置、25…チップ抵抗、26…チップコンデンサ、27…トランス。

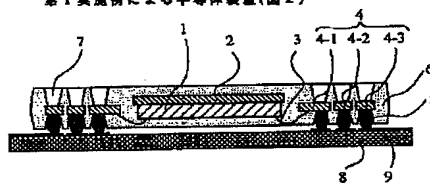
【図1】

【図2】

第1実施例による半導体装置(図1)

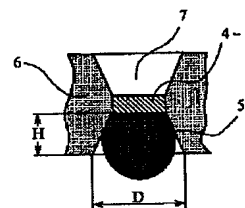


第1実施例による半導体装置(図2)



【図5】

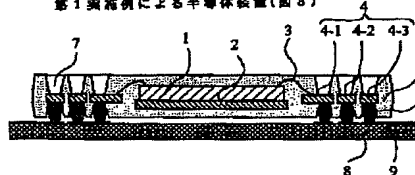
第1実施例による半導体装置(図5)



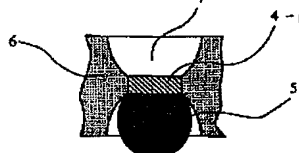
【図3】

【図4】

第1実施例による半導体装置(図3)



第1実施例による半導体装置(図4)

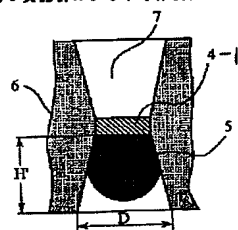


【図6】

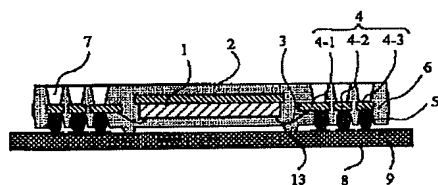
【図10】

【図12】

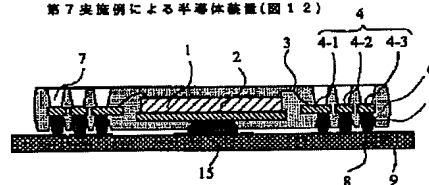
第1実施例による半導体装置(図6)



第5実施例による半導体装置(図10)



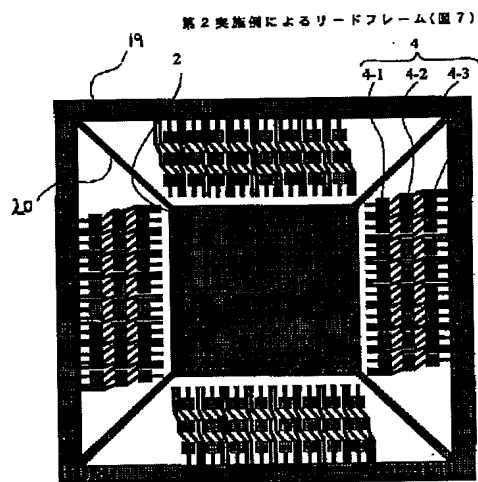
第7実施例による半導体装置(図12)



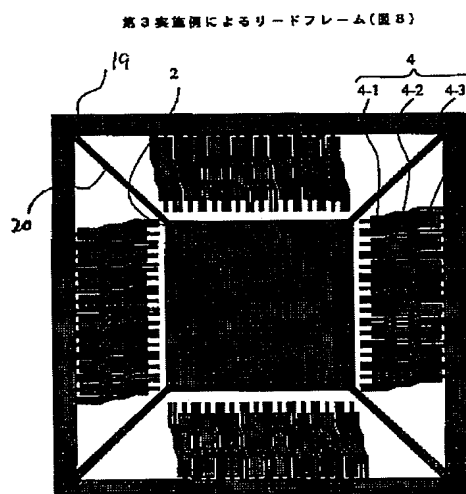
(9)

特開平6-268101

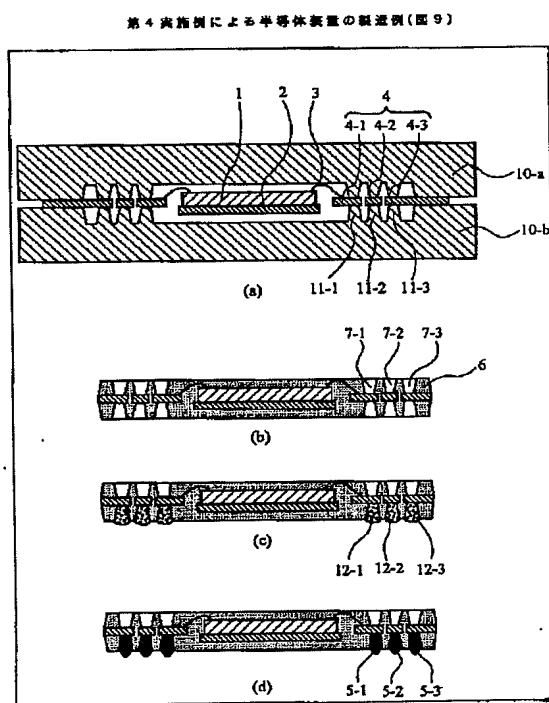
【図7】



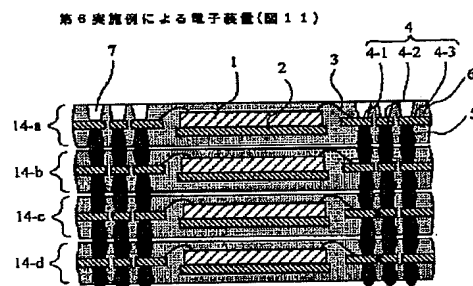
【図8】



【図9】

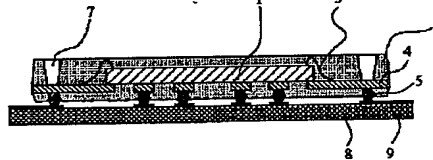


【図11】



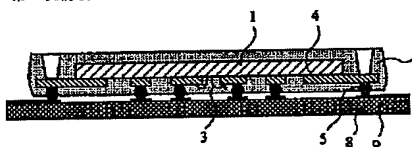
【図13】

第8実施例による半導体装置(図13)



【図14】

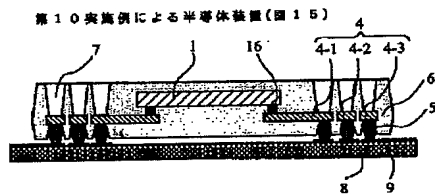
第9実施例による半導体装置(図14)



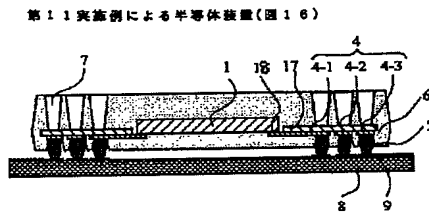
(10)

特開平6-268101

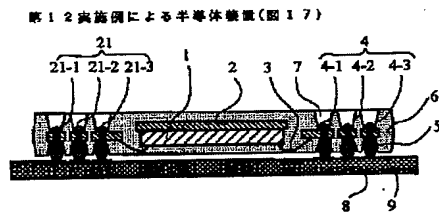
【図15】



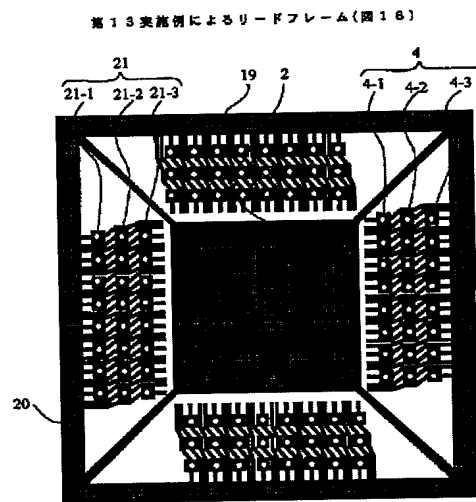
【図16】



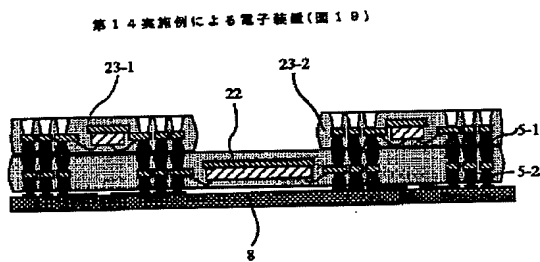
【図17】



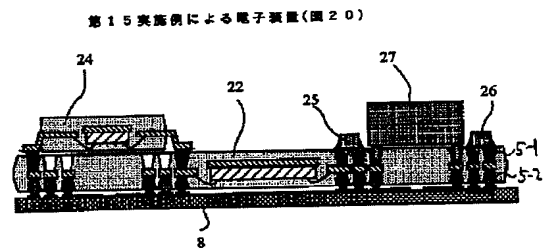
【図18】



【図19】



【図20】



フロントページの続き

(51)Int. Cl.⁵

H01L 25/10

25/11

25/18

識別記号

片内整理番号

F I

技術表示箇所

(11)

特開平6-268101

(72)発明者 米田 奈柄
茨城県土浦市神立町502番地 株式会社日
立製作所機械研究所内
(72)発明者 河野 竜治
茨城県土浦市神立町502番地 株式会社日
立製作所機械研究所内

(72)発明者 田中 直敬
茨城県土浦市神立町502番地 株式会社日
立製作所機械研究所内
(72)発明者 熊沢 鉄雄
茨城県土浦市神立町502番地 株式会社日
立製作所機械研究所内